Działanie elektroniki układu OSIRIS II

Jan Mierzejewski

Streszczenie

Oddaje w Twoje ręce opis działania elektroniki OSIRISA II. Moją intencją jest takie zaprezentowanie elektroniki układu aby wszyscy pracujący przy OSIRISIE znaleźli w tej prezentacji coś dla siebie. I tak w rozdziale 1. znajdziesz krótki opis budowy układu: Ile i jakich mamy detektorów, jak są one rozmieszczone i jak są one połączone z elektroniką układu.

Rozdział 2. daje ogólne pojęcie o logice układu, jak również pozwala poznać ją bardziej szczegółowo bez wnikania w szczegóły schematu elektroniki. Czytając tą część zrozumiesz w jakim konkretnie celu używamy OSIRISA.

W rozdziale 3. znajdziesz schemat wszystkich połączeń układu. Jeżeli nie interesuje Cię zbytnio elektronika, możesz szybko nauczyć się znajdować usterki w układzie, dokonywać prostych napraw oraz zmieniać niektóre ustawienia. Schemat został stworzony tak aby móc szybko odtworzyć wszystkie połączenia i ustawienia układu bez konieczności zrozumienia jego działania. Jeżeli usterka jest poważniejsza masz do dyspozycji przebiegi na najważniejszych modułach układu i korzystając z oscyloskopu możesz szybko znaleźć odpowiedzialny za to moduł lub kabel. Jeżeli chcesz głębiej poznać i zrozumieć elektronikę układu znajdziesz tutaj dokładny opis działania co ważniejszych używanych modułów elektronicznych, co lepiej pozwoli Ci zrozumieć zamieszczone przebiegi.

Dzięki ogromnej pomocy Michała Kowalczyka praca ta jest zdecydowanie mniej niezrozumiała niż była by bez Jego udziału.

Spis treści

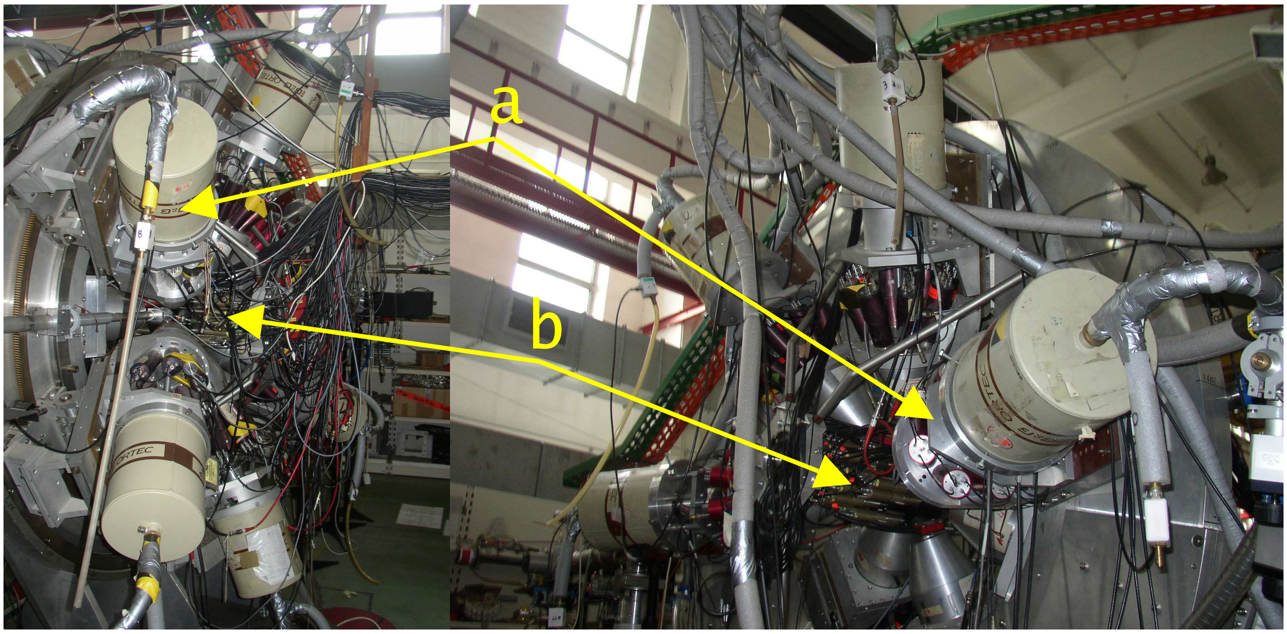
Rozdział 1

Budowa układu

Cały układ można podzielić na trzy odrębne części: Detektory promieniowania γ, elektronika służąca analizie sygnałów oraz system akwizycji danych.

1.1 Rozmieszczenie detektorów.

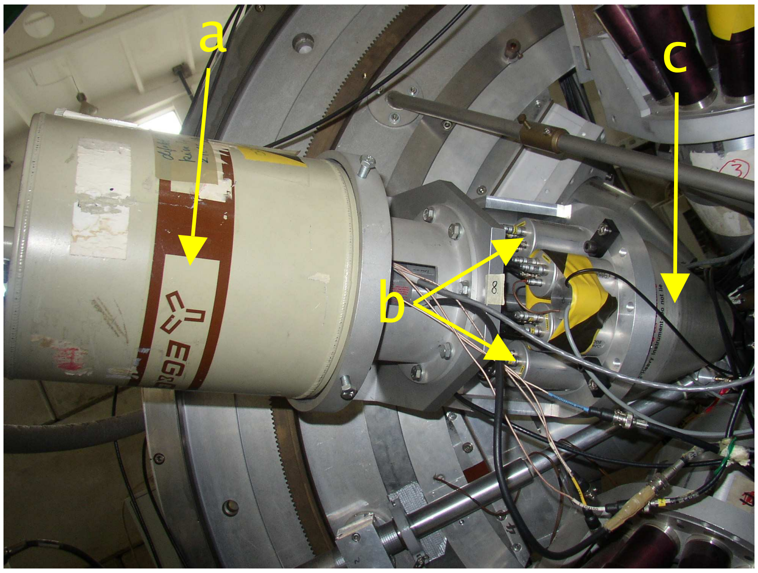
Spektrometr zawiera 12 detektorów germanowych HPGe wyposażonych w osłony antykomptonowskie oraz filtr krotności składający się z 48 kryształów BGO. Całość umieszczona jest na stalowej ramie, która daje możliwość regulacji ustawienia detektorów. Rysunek 1.1 przedstawia rozmieszczenie detektorów na ramie.



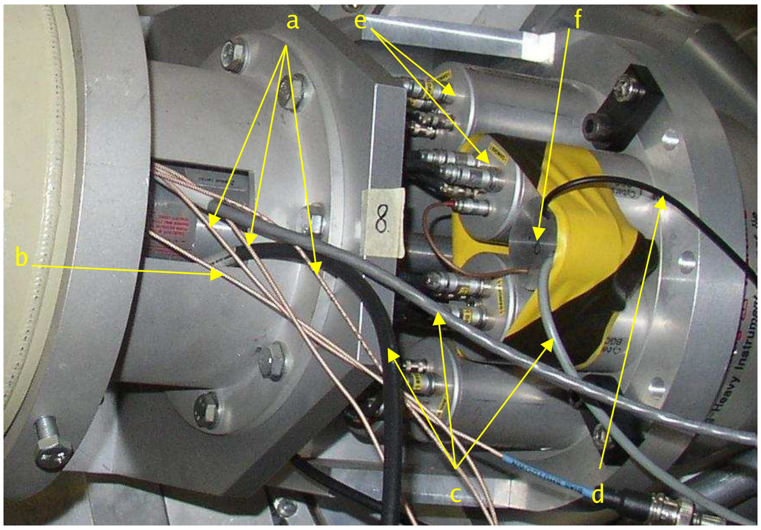
Rysunek 1.1: Fragmenty układu OSIRIS II. Widoczne są detektory HPGe w osłonach antykomptonowskich (a) oraz filtr krotności(b)

1.1.1 Detektory germanowe oraz osłony antykomptonowskie.

Detektor germanowy umieszczony jest w oslonie antykomptonowskiej (rysunek 1.2). Z kolei na rysunku 1.3 przybliżony jest układ kabli wejściowych i wyjściowych detektora HPGe i oslony antykomptonowskiej. Osłona antykomptonowska składa się z kilku odrębnych kryształów BGO, z których każdy posiada swój fotopowielacz. Wyjścia sygnałów fotopowielaczy są połączone i następnie podawane na



Rysunek 1.2: Jeden z 12 detektorów HPGe w osłonie antykomptonowskiej. Oznaczone są fotopowielacze osłony antykomptonowskiej (b), naczynie Dewara (a) oraz stalowa obudowa, w której umieszczone są kryształy BGO (c).

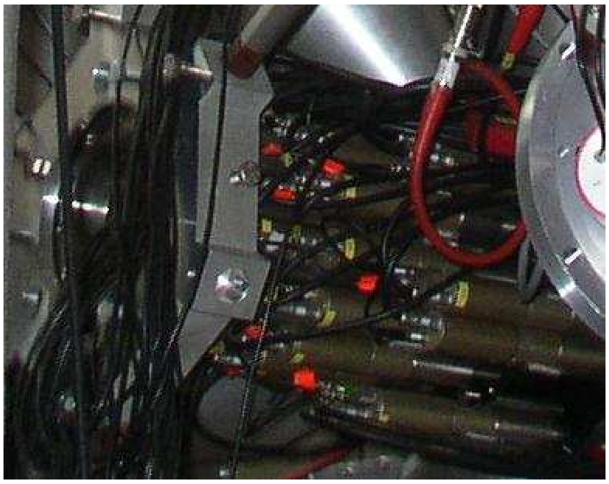


Rysunek 1.3: Okablowanie detektora HPGe w osłonie antykomptonowskiej. Oznaczone są trzy wyjścia sygnałowe detektora HPGe (a), wyjście bezpieczeństwa 'shut down' sygnalizujące przegrzanie detektora (b), wejścia zasilające (c), wyjście sygnałowe osłony antykomptonowskiej (d), fotopowielacze osłony (e) oraz wzmacniacz sygnałów z fotopowielaczy (f).

wzmacniacz. Na wyjściu wzmacniacza otrzymamy więc sygnał gdy zadziała co najmniej jeden kryształ osłony. Do osłony doprowadzony jest jeden kabel zasilający i poprzez dzielnik napięcia zasilane są wszystkie fotopowielacze osłony.

1.1.2 Filtr krotności.

Filtr krotności umieszczony jest najbliżej komory tarczowej. Zbudowany jest on z 48 kryształów BGO ułożonych w układzie 4π. 38 kryształów posiada oddzielnie zasilany fotopowielacz, pozostałe 10 wyposażonych jest w dwa fotopowielacze. Do każdej takiej takiej pary doprowadzony jest kabel zasilający po czym za pomocą specjalnego rozdzielacza napięcie podawane jest na każdy z fotopowielaczy. Sygnały wyjściowe z każdej takiej pary są sumowane. Mamy więc 48 wyjść sygnałowych z filtru krotności.

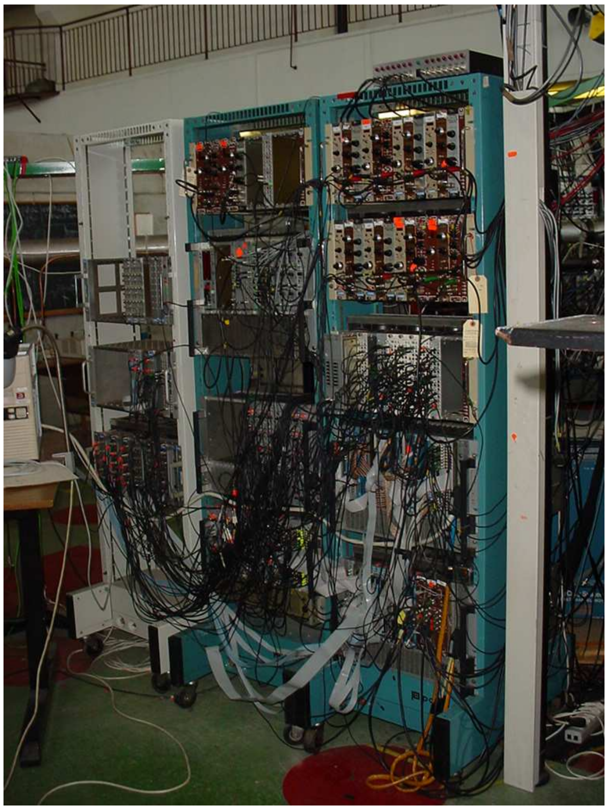


Rysunek 1.4: Filtr krotności

W dalszym ciągu procesu analizy danych z układu detektorów będą brały udział sygnały z wszystkich wymienionych wyjść sygnałowych (12 detektorów germanowych, 12 osłon antykomptonowskich i 48 scyntylatorów BGO), świadczące o ewentualnej rejestracji kwantu γ.

1.1.3 Rozmieszczenie elektroniki.

Elektronika układu umieszczona jest w kasetach NIM i CAMAC obok ramy z detektorami. Rozmieszczenie kaset przedstawia rysunek 1.5.



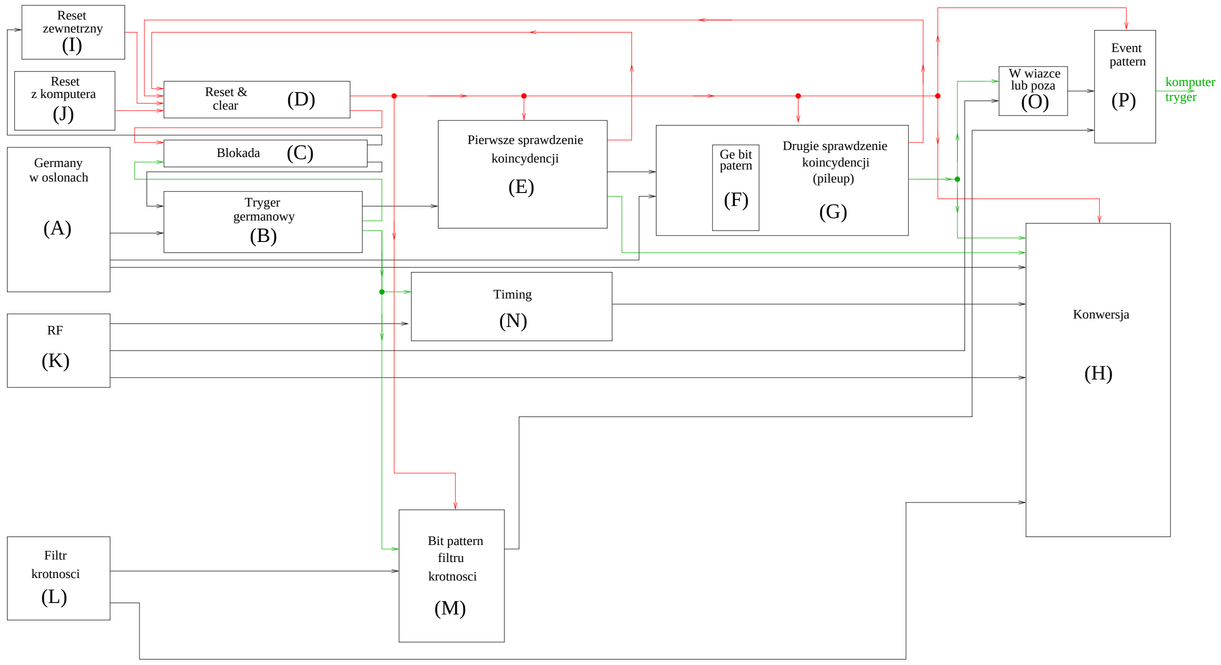
Rysunek 1.5: Kasety z elektroniką układu OSIRIS II

Rozdział 2

Logika układu.

2.1 Zarys ogólny logiki.

Logika układu pozwala mierzyć koincydencje γ-γ o dowolnej krotności oraz pojedyncze kwanty γ. Daje informację o krotności i energii zmierzonych kwantów γ, w których detektorach zostały one zarejestrowane oraz czy zdarzenie miało miejsce w trakcie trwania wiązki lub też po za nią. Układ odrzuca impulsy z detektorów, w których stwierdzono pile-up lub którym towarzyszyło działanie osłony antykomptonowskiej. Układ mierzy również zależności czasowe między rejestrowanym zdarzeniem a mikrostrukturą i makrostrukturą wiązki. Na rysunku 2.1 przedstawiony jest blokowy schemat elektroniki OSIRISA II.



Rysunek 2.1: Blokowy schemat elektroniki układu OSIRIS II.

Kwanty γ rejestrowane są przez detektory germanowe (A). Jeżeli zadziałał choć jeden detektor germanowy generowany zostaje tryger (B) i uruchomiona zostaje blokada (C), uniemożliwiająca generację sygnału trygera na wypadek kolejnego eventu. Tryger germanowy (B) uruchamia także pomiar czasu (N) względem wiązki (K) oraz zapisany zostaje bit pattern filtru krotności (M). Następnie sprawdzany zostaje po raz pierwszy warunek koincydencji (E). Jeżeli bez osłony zadziałała niewystarczająca ilość detektorów germanowych układ zostaje zresetowany i przygotowany do pomiaru następnego eventu (D). Jeżeli warunek koincydencji jest spełniony, podana zostaje bramka na ADC i rozpoczyna się konwersja danych (H) po czym następuje drugie sprawdzenie koincydencji (G) związane z możliwością wystąpienia pile-up'u w krysztale detektora. Jeżeli okaże się, że bez pile-up'ów zadziałała niewystarczająca ilość detektorów germanowych układ zostaje zresetowany i przygotowany do kolejnego pomiaru (D). Jeżeli warunek koincydencji jest nadal spełniony, zapisany zostaje bit pattern (F) detektorów germanowych. Zapisany zostaje event pattern (P) i rozpoczyna się zapis danych zgodnie z definicją eksperymentu. Po zakończeniu zapisu komputer wysyła sygnał kasowania i zezwolenia na kolejny pomiar (J). Jeżeli układ zawiesi się, zadziała pojawiający się ze stałą częstotliwością sygnał kasowania (I) o ile nie uruchomiona była blokada (C).

2.2 Logika szczegółowo.

Logikę układu można podzielić na dwie zasadnicze części: logikę trygera i logikę resetu. Event zostanie zaakceptowany, jeżeli wymagana ilość detektorów zadziała w antykoincydencji z osłonami antykomptonowskimi i bez wystąpienia pile-up'ów. W przeciwnym wypadku event zostaje odrzucony.

2.2.1 Logika trygera.

Rysunek 2.2 przedstawia sytuację, w której zaakceptowano event. Gdy zadziałają detektory germanowe pojawiają się stany "1" na wyjściach dyskryminatorów (1). Wyjścia te podawane są na wejścia modułu realizującego funkcję AND. Na pierwsze wejście (5) podawane są opóźnione sygnały z dyskryminatorów (1), na drugie (6) opóźnione i zanegowane sygnały z tychże dyskryminatorów (1), zaś na trzecim wejściu (7) mamy stany logiczne "1", ponieważ nie zadziałały osłony antykomptonowskie. Pojawienie się stanów "1" na wyjściach (9) oznacza, że dane detektory zadziałały w antykoincydencji z osłonami antykomptonowskimi. Impulsy z detektorów, które zadziałały w koincydencji z osłonami nie zostają przepuszczone dalej. Oprócz tego pojawia się stan "1" na wyjściu (8) potwierdzający zadziałanie co najmniej jednego detektora w antykoincydencji z osłoną. Sygnał ten po małym opóźnieniu (10) podawany jest na jedno z wejść (11) dwuwejściowego modułu AND. Drugie wejście (12) tegoż AND'a jest w stanie "1", bowiem podawany na nie jest zanegowany sygnał (16), będący z początku w stanie "0". W efekcie na wyjściu (13) pojawia się stan "1". Zbocze opadające sygnału (13) wytwarza stan "1" na wejściu (14), zaś zbocze opadające (14) wymusza stan "1" na wyjściu (16). Sygnał (16) jest negowany i podawany na wejście (12) modułu AND, blokując go na wypadek kolejnego eventu (co wiąze się z pojawieniem stanu "1" na wejściu (11)).W ten sposób wygenerowany zostaje tryger germanowy (B,13) oraz założona zostaje blokada (C,16).

Potem następuje sprawdzenie warunku koincydencji (E). Sygnał trygera germanowego (13) podawany jest na wejście (18) i czas trwania stanu "1" na tym wejściu określa długość bramki koincydencji. Zbocze narastające sygnału (18) wymusza stan "1" na wyjściu (19). Impulsy (20) to to samo co impulsy (9) a więc niosą informacje ile detektorów zadziałało w antykoincydencji z osłonami. Na wejściach (20) pojawia się wymagana ilość stanów "1", więc pojawia się stan "1" na wyjściu (21), potwierdzający spełnienie warunku koincydencji. Wówczas zbocze narastające sygnału (19) wymusza na 100 ns stan "1" na wyjściu (23), zaś zbocze narastające sygnału (23) wytwarza stan "1" na wyjściu (24). Czas trwania stanu "1" na tym wyjściu określa długość bramki na ADC, do których podłączone są wyjścia energetyczne detektorów germanowych[1].

Następnie usuwane są impulsy z tych detektorów, w których stwierdzono wystąpienie pile-up'u. Zbocze narastające sygnału (23) wytwarza na 2 μs stan "1" na wyjściu (25). Impulsy (20) są wydłużane i podawane na wejścia (26). Wyjścia (29) realizują funkcję logiczną AND sygnałów (26) oraz (27) o ile na wejściu (28) jest stan "1". Detektory zadziałały bez pile-up'ów więc na wejściach (27) mamy stan "1", zaś na wejście (28) podawany jest sygnał (25). W efekcie na wyjściach (29) wytwarzane są stany "1", odpowiadające detektorom, które zadziałały bez wystąpienia pile-up'u. Sygnały te zostają następnie przekazane na wejście (32) gdzie służą sprawdzeniu koincydencji po raz drugi (G). Sygnał (25) podawany jest również na wejście (30) i czas trwania logicznej jedynki określa długość trwania bramki koincydencji. Zbocze narastające sygnału (30) wymusza stan "1" na wyjściu (31). Na wejśćiach (32) pojawia się wymagana ilość stanów "1", więc pojawia się stan "1" na wyjściu (33), potwierdzający spełnienie warunku koincydencji. Wówczas zbocze narastające sygnału (31) wymusza stan "1" na wyjściu (35), co potwierdza akceptację eventu. Następuje to 42 μs po pierwszym impulsie z dyskryminatora germanowego.

Gdy zakończy się konwersja danych komputer wysyła sygnał resetu i odblokowania układu. Sygnał ten wymusza powstanie stanu "1" na wyjściu (36), co następnie wymusza stan "0" na wyjściach (21),(22) i (33). Wyjście (22) jest następnie podawane na wejście (26), więc tam też pojawia się stan "0". Zbocze opadające sygnału (36) wymusza również stan "1" na wyjściu (37), co następnie wymusza stan "1" na wejściu (15). Zbocze opadające wyjścia (15) wymusza stan "0" na wyjściu (16) i co za tym idzie stan "1" na wejściu (12). Blokada jest więc zdejmowana i układ gotowy jest do pomiaru kolejnego eventu.

2.2.2 Reset układu.

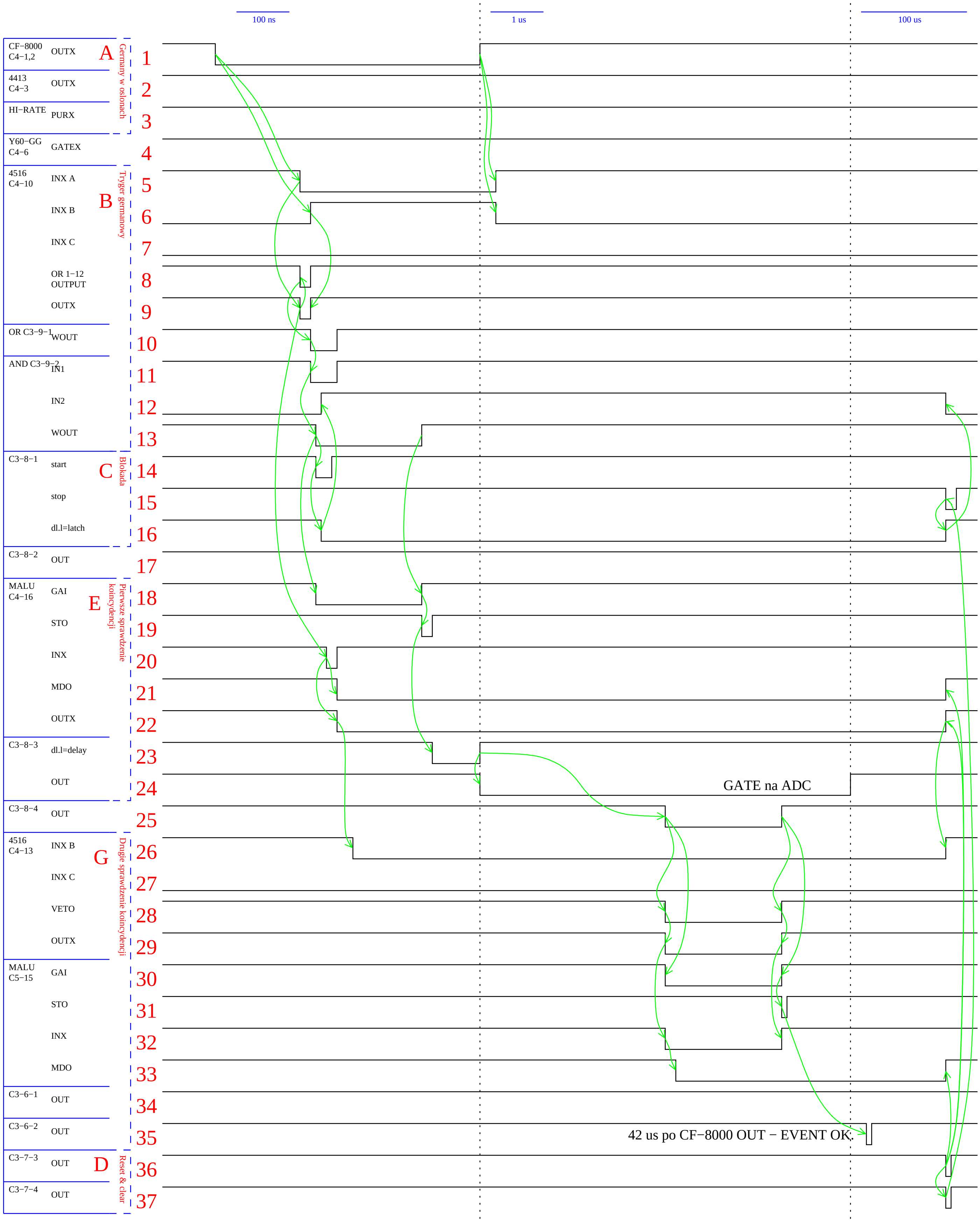
Gdy niewystarczająca ilość detektorów germanowych zadziała w antykoincydencji z osłonami antykomptonowskimi, event taki zostanie odrzucony. Przebiegi przedstawione na rysunku 2.3 opisują taką sytuację. Na wejściach (20) nie pojawia się wymagana ilość stanów "1" wobec czego na wyjściu (21) nie pojawia się stan "1" potwierdzający spełnienie warunku koincydencji. Wówczas zbocze narastające sygnału (19) wymusza stan "1" na wyjściu (17) (nie (23) jak w przypadku akceptacji eventu). Zbocze opadające sygnału (17) wymusza stan "1" na wyjściu (36), co następnie wymusza stan "0" na wyjściu (22) i co za tym idzie stan "0" na wejściu (26). Zbocze opadające sygnału (36) wymusza również stan "1" na wyjściu (37), co następnie wymusza stan "1" na wejściu (15). Zbocze opadające wyjścia (15) wymusza stan "0" na wyjściu (16) i co za tym idzie stan "1" na wejściu (12). Blokada jest więc zdejmowana i układ gotowy jest do pomiaru kolejnego eventu.

Nawet jeżeli wystarczająca ilość detektorów germanowych zadziała w antykoincydencji z osłonami antykomptonowskimi, to może zdarzyć się, że spośród nich część zadziałała z wystąpieniem pile-up'u i warunek koincydencji nie jest spełniony. Przebiegi przedstawione na rysunku 2.4 opisują taką sytuację. Na wejściach (32) nie pojawia się wymagana ilość stanów "1" wobec czego na wyjściu (33) nie pojawia się stan "1" potwierdzający spełnienie warunku koincydencji. Wówczas zbocze narastające sygnału (31) wymusza stan "1" na wyjściu (34) (nie (35) jak w przypadku akceptacji eventu). Zbocze opadające sygnału (34) wymusza stan "1" na wyjściu (36), co następnie wymusza stan "0" na wyjściach (21),(22), i (24). Wyjście (22) jest następnie podawane na wejście (26), więc

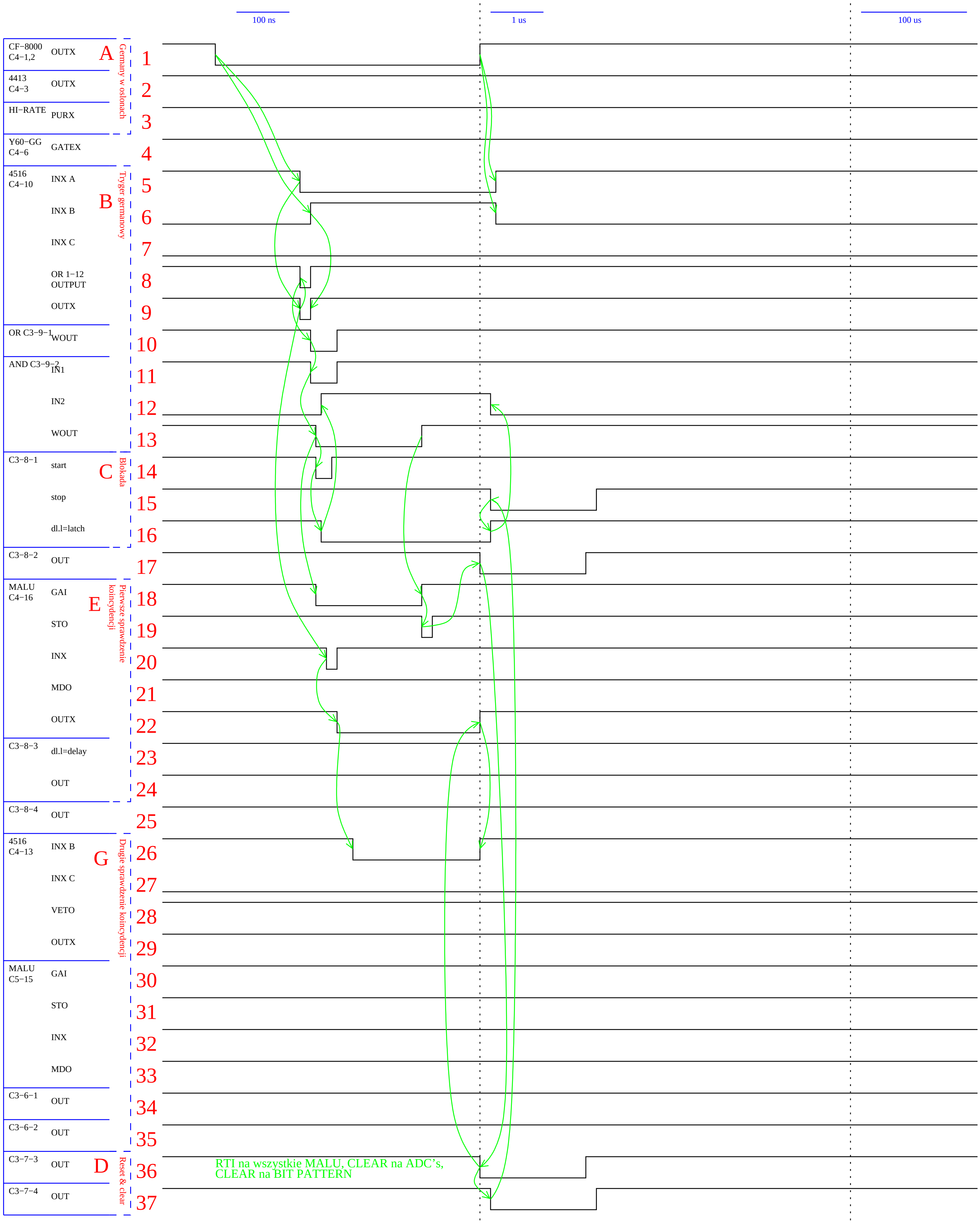
[1] Bramka na ADC filtru krotności otwiera się 2 μs później i jest otwarta przez 1.1 μs.

tam też pojawia się stan "0". Zbocze opadające sygnału (36) wymusza również stan "1" na wyjściu (37), co następnie wymusza stan "1" na wejściu (15). Zbocze opadające wyjścia (15) wymusza stan "0" na wyjściu (16) i co za tym idzie stan "1" na wejściu (12). Blokada jest więc zdejmowana i układ gotowy jest do pomiaru kolejnego eventu.

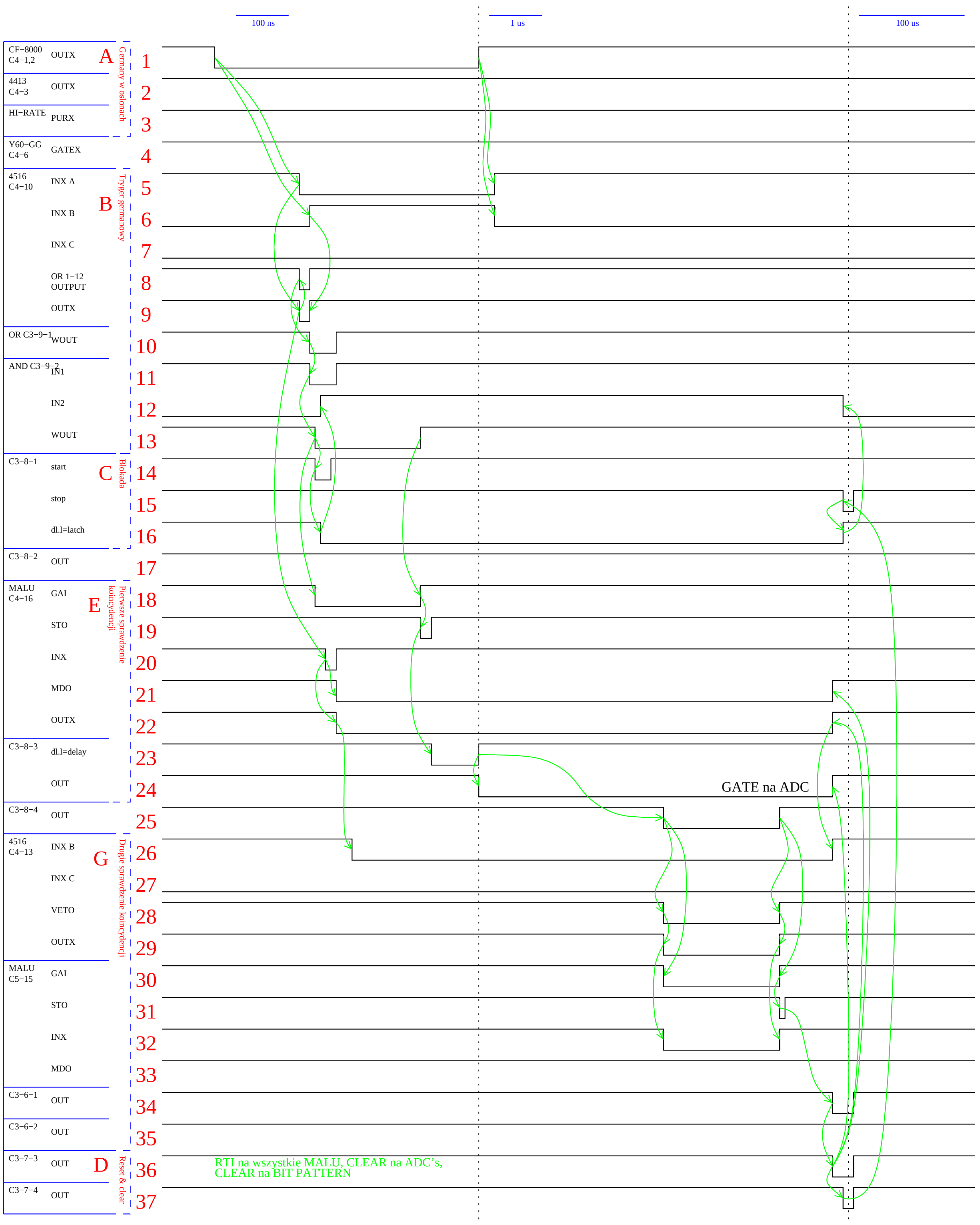
Ponadto impuls resetujący (36) jest generowany z pewną stałą częstotliwością przez reset zewnętrzny (I) o ile nie była założona blokada (16). Jest to zabezpieczenie na wypadek zawieszenia się układu.



Rysunek 2.2: Przebiegi opisujące akceptację eventu. Rysunek wykonany jest w trzech, różnych skalach czasowych. Opisy wejść i wyjść wykonane czarną czcionką związane są ze szczegółową realizacją logiki układu, o czym będzie mowa w kolejnym rozdziale. W tym momencie istotne jest, że w modułach o wejściach i wyjściach w standardzie ECL, pokazane zostało tylko jedno przykładowe wejście lub wyjście. X oznacza dowolną liczbę z zakresu 1-12.



Rysunek 2.3: Przebiegi związane z odrzuceniem eventu bowiem niewystarczająca ilość detektorów germanowych zadziałała w antykoincydencji z osłonami antykomptonowskimi. Rysunek wykonany jest w trzech, różnych skalach czasowych. Opisy wejść i wyjść wykonane czarną czcionką związane są ze szczegółową realizacją logiki układu, o czym będzie mowa w kolejnym rozdziale. W tym momencie istotne jest, że w modułach o wejściach i wyjściach w standardzie ECL, pokazane zostało tylko jedno przykładowe wejście lub wyjście. X oznacza dowolną liczbę z zakresu 1-12.



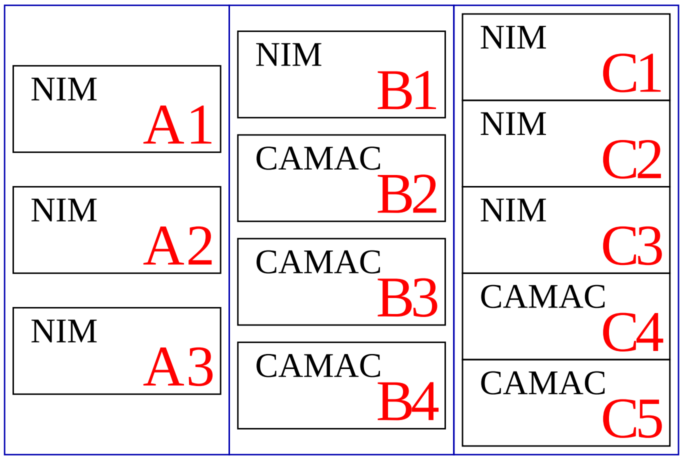
Rysunek 2.4: Przebiegi związane z odrzuceniem eventu bowiem niewystarczająca ilość detektorów zadziałała bez wystąpienia pile-up'u. Rysunek wykonany jest w trzech, różnych skalach czasowych. Opisy wejść i wyjść wykonane czarną czcionką związane są ze szczegółową realizacją logiki układu, o czym będzie mowa w kolejnym rozdziale. W tym momencie istotne jest, że w modułach o wejściach i wyjściach w standardzie ECL, pokazane zostało tylko jedno przykładowe wejście lub wyjście. X oznacza dowolną liczbę z zakresu 1-12.

Rozdział 3

Realizacja logiki układu.

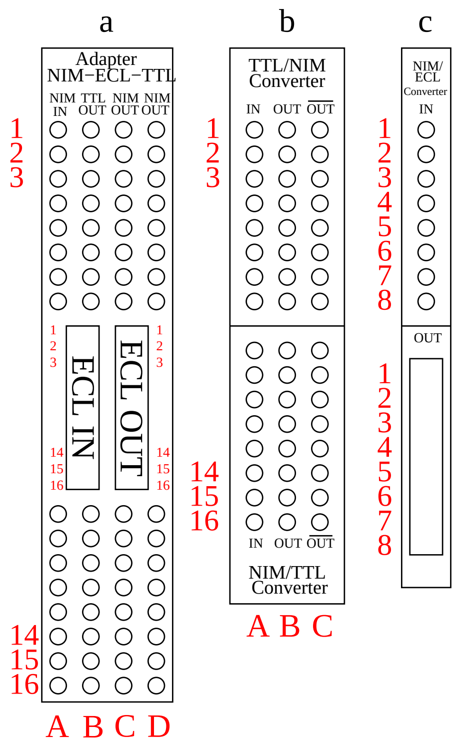
3.1 Systematyka opisu elektroniki.

Tworząc schemat połączeń należy wprowadzić systematykę ułatwiającą szybkie znalezienie odpowiednich połączeń między modułami. Schematycznie rozmieszczenie kaset przedstawia rysunek 3.1. W tej pracy stosowana będzie następująca metoda opisu modułów elektronicznych: Jeżeli moduł



Rysunek 3.1: Schemat ustawienia kaset NIM i CAMAC.

umieszczony jest na przykład w kasecie oznaczonej C4 w pozycji o numerze 13 (pozycja w kasecie jest definiowana położeniem śrubki którą przykręcamy moduł do kasety) to moduł ten numerowany będzie sekwencją C4-13. Może się zdarzyć że dany moduł jest podzielony na kilka identycznych części, powiedzmy 4. Wtedy będziemy mieli cztery różne sekwencje : C4-13-1,...,C4-13-4 gdzie ostatnia cyfra oznacza położenie od góry modułu. Z reguły każdy moduł standardu NIM lub CAMAC posiada nazwane w jakiś sposób wejścia i wyjścia, jednak kilka z nich opisów takich nie posiada. Rysunek 3.2 przedstawia schematyczne rysunki trzech stosowanych modułów, których wejścia i wyjścia należało dodatkowo opisać. Połączenia opisywane będą w sposób następujący: Jeżeli kabel standardu LEMO łączy wyjście o nazwie OUT modułu C4-13 z wejściem o nazwie IN modułu C3-12 to połączenie to opisane zostanie sekwencją LEMO C4-13(OUT-IN)C3-12. Jeżeli będzie to 8-krotny kabel ECL to opis będzie następujący: 8-krotny ECL C4-13(OUT-IN)C3-12.



Rysunek 3.2: Opis niektórych modułów elektronicznich: a) Adapter NIM/ECL/TTL - w układzie zastosowanych jest takich 5 o numerach: B4-20,B4-22,B4-24,C4-20,C4-22. b) NIM/TTL/NIM converter - w układzie zastosowane są takie 2 o numerach: C3-10 i A2-12. c) NIM/ECL converter - w układzie zastosowany jest taki 1 o numerze C5-1.

3.2 Schematy.

Na rysunku 3.8 przedstawiono szczegółowy schemat elektroniki układu z dodanym schematem blokowym. Moduły oraz ich wejścia i wyjścia oznaczone są zgodnie z wprowadzoną uprzednio systematyką. Zielonym kolorem oznaczone są połączenia związane z logiką trygera, czerwonym połączenia związane z resetem układu. Niebieskim kolorem zaznaczono taśmy ECL'owe. Czarnym kolorem oznaczono pozostałe połączenia. Fioletowym kolorem oznaczone są moduły, z których odczytywane są dane. Na rysunku 3.9 przedstawiono schemat elektroniki układu z dodanym opisem wszystkich połączeń układu. Pozostałe oznaczenia są identyczne jak na rysunku 3.8.

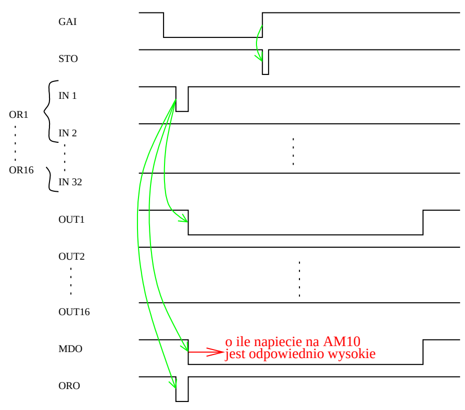
3.3 Funkcje niektórych zastosowanych modułów elektronicznych.

W części tej przedstawione jest działanie tych modułów, których funkcje są dla układu niezwykle ważne bądź tych, których zasady działania nie są oczywiste.

Majority Logic Unit. LeCroy 4532

Przykładowe przebiegi w tym module przedstawione zostały na rysunku 3.3.
Wejście oznaczone GAI (gate input) jest jednokrotnym wejściem w standardzie ECL.
Wyjście oznaczone STO (strobe output) jest jednokrotnym wyjściem w standardzie ECL. Generowany na nim jest króciutki impuls o długości około 20 ns kilka nanosekund po końcu bramki na wejściu GAI.

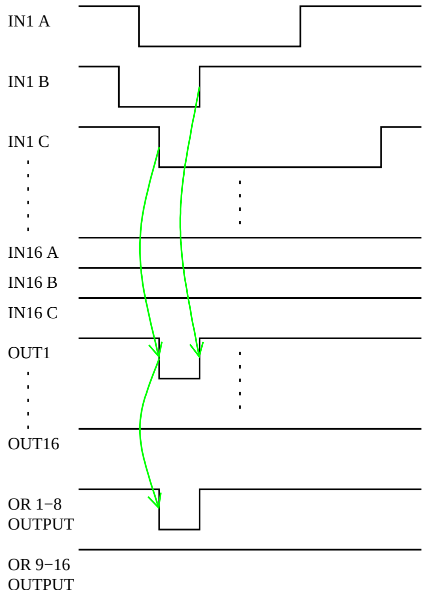
MALU posiada dwa 16-krotne ECL'owe wejścia: IN 1-16 oraz IN 17-32. 16-krotne ECL'owe wyjście OUT realizuje funkcję logiczną OR poszczególnych kanałów wejściowych: na 1 kanale wyjścia generowany jest impuls o pewnej długości o ile OR1 wejść IN1 i IN2 dał stan "1", na 2 kanale wyjścia generowany jest impuls o identycznej długości co pierwszy o ile OR2 wejść IN3 i IN4 dał stan "1" i tak aż do 16 kanału wyjścia. Jednak wszystkie impulsy wejściowe muszą trafić na stan "1" na wejściu GAI. Stany wszystkich wymienionych wejść IN1,...,IN32 mogą być czytane przez komputer.
Wejście oznaczone RTI (reset input) jest jednokrotnym wejściem w standardzie ECL. Impuls na tym wejściu kasuje stany na wszystkich wejściach i wyjściach modułu.
Dwa wyjścia LEMO oznaczone AM10 to źródła napięcia, którego wartość jest proporcjonalna do ilości OR'ów (od 1 do 16) w stanie wysokim. Zaterminowanie opornikiem jednego z tych wyjść obniża wartość napięcia na drugim wyjściu.
Wyjście oznaczone MDO (majority discriminated output) jest jednokrotnym wyjściem w standardzie ECL. Jest to wyjście komparatora analogowego o regulowanym progu. Na wejście tego komparatora podane jest wewnętrznie źródło napięcia AM10. Na wyjściu MDO zostanie wygenerowany impuls o ile napięcie na AM10 przekroczy próg komparatora. Impuls ten jest podobnej długości co bramki na wyjściu OUT.
Wyjście oznaczone ORO (or output) jest jednokrotnym wyjściem w standardzie ECL. Na wyjściu pojawi się impuls o ile co najmniej jeden OR spośród szesnastu znajdował się w stanie wysokim.



Rysunek 3.3: Przykładowe przebiegi w module 4532. Przedstawiona jest sytuacja gdy tylko na wejściu IN1 pojawił się impuls.

Programmable Logic Unit. LeCroy 4516.

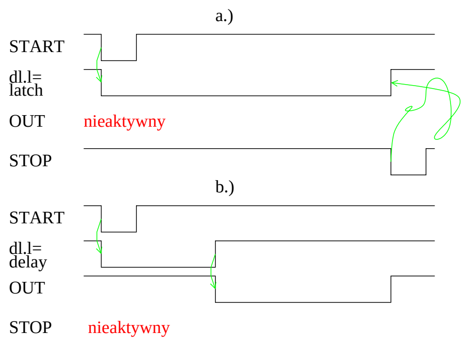
Jest to trzywejściowy programowalny moduł realizujący na wyjściu funkcję wybraną funkcję logiczną.
Wejścia są w standardzie ECL i każde jest szesnakrotne. Jeżeli nazwiemy je kolejno A,B,C to możemy wybrać, spośród następujących możliwości: OUT = A∩B∩C, OUT=A∪B∪C, OUT=A∪B∩C lub OUT=A∩B∪C. W tym wypadku realizowana jest funkcja OUT = A∩B∩C. Na rysunku 3.4 przedstawione zostały przykładowe przebiegi na module. Kanał wyjściowy OUT jest również szesnakrotnym wyjściem w standardzie ECL.
Moduł ten posiada również dwa wyjścia nazwane OROUT 1-8 i OROUT9-16 które realizują funkcję OR odpowiednio pierwszych ośmiu i ostatnich ośmiu kanałów wyjścia OUT.



Rysunek 3.4: Przykładowe przebiegi w module 4516. Pokazana jest sytuacja w ktorej niezerowe sygnały podawane są jedynie na IN1A,IN1B i IN1C.

Quad timer. ŚLCJ.

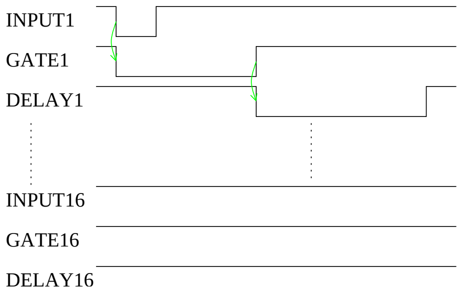
Jest to moduł wykonany w ŚLCJ. W zależności od ustawienia, pracuje on w dwóch możliwych trybach: *latch* i *mono*. Przykładowe przebiegi przedstawione zostały na rysunku 3.5.
Wszystkie wejścia i wyjścia wykonane są w standardzie LEMO. W trybie *latch* mamy po prostu przerzutnik bistabilny. Zbocze narastające sygnału START wymusza stan "1" na wyjściu dl.l (w tym przypadku wyjście to nazywane będzie po prostu *latch*), który trwa aż do momentu przyjścia zbocza narastającego sygnału STOP. Wyjście OUT jest w tym wypadku nieaktywne. W trybie *mono* zbocze narastające sygnału START wymusza stan "1" na wyjściu dl.l (tutaj wyjście to nazywane będzie *delay*) kończący się po jakimś, ustalonym czasie. Zbocze opadające sygnału delay wymusza z kolei stan "1" na wyjściu OUT kończący się również po jakimś, ustalonym uprzednio czasie. Tutaj z kolei nieaktywne jest wejście STOP. W obu trybach działa wejście VETO, na którym stan "1" unieruchamia cały moduł.



Rysunek 3.5: Przykładowe przebiegi w module Quad timer: w trybie działania *latch* (a) oraz *mono* (b).

Y60- Gate Generator. IKP, FZ Juelich

Jest to programowalny moduł wykonany w laboratorium w Juelich. Przykładowe przebiegi przedstawione zostały na rysunku 3.6. Wszystkie wejścia i wyjścia wykonane są w standardzie ECL i każde jest szesnakrotne. Zbocze narastające impulsu podanego na INPUT wymusza na wyjściu GATE stan "1" o pewnym, ustalonym software'owo czasie trwania. Zbocze narastające tego impulsu wymusza następnie bramkę na wyjściu DELAY. Długość tego impulsu również ustalana jest software'owo.



Rysunek 3.6: Przykładowe przebiegi w module Y60GG. Pokazana jest sytuacja w ktorej niezerowy sygnał podany został tylko na wejście INPUT1.

Constant Fraction Discriminator. Ortec CF-8000

Jest to programowalny dyskryminator wyposażony w 8 wejść LEMO i dwa niezależne, ośmiokrotne wyjścia ECL (OUT1 i OUT2). Progi dyskryminacji ustawiane są software'owo w definicji eksperymentu.

Updating Programable Discriminator. LeCroy 4413.

Jest to programowalny dyskryminator wyposażony w 16 wejść LEMO i dwa 16-krotne wyjścia w standardzie ECL (OUT1 i OUT2). Progi dyskryminacji ustawiane są software'owo w definicji eksperymentu.

Programable Delay. LeCroy 4418.

Jest to programowalny moduł opóźniający wyposażony w jedno 16-krotne wejście w standardzie ECL oraz trzy niezależne, 16-krotne wyjścia ECL'owe (OUT1, OUT2 i OUT3). Opóźnienia na tym module ustawiane są software'owo w definicji eksperymentu.

3.4 Przebiegi elektroniczne.

Na końcu pracy raz jeszcze przedstawione są przebiegi elektroniczne, już raz opisane w rozdziale 2. Teraz jednak obok przebiegów zamieszczone są kontury schematów oraz strzałki wskazujące poszczególne moduły. Na rysunku 3.10 przedstawiono przebiegi związane z akceptacją eventu. Na rysunku 3.11 przedstawiono przebiegi związane z odrzuceniem eventu bowiem niewystarczająca ilość detektorów germanowych zadziałała w antykoincydencji z osłonami antykomptonowskimi, zaś na rysunku 3.12 mamy opisaną sytuację, w której event został odrzucony bowiem niewystarczająca ilość detektorów zadziałała bez wystąpienia pile-up'u.

3.5 Szczegółowe ustawienia układu.

3.5.1 Wymagana krotność koincydencji.

Układ został skonstruowany tak, aby szybko zmieniać wymaganą krotność mierzonych koincydencji. Jeżeli na modułach MALU (C4-16 i C5-15) na jedno z wejść AM-10 podłączony jest opornik 50 Ω a drugie wejście jest nie obsadzone to układ zaakceptuje eventy o krotności co najmniej 1. Jeżeli na drugie wejścia AM-10 podłączony jest opornik 50 Ω układ zaakceptuje eventy o krotności co najmniej 2. Zmniejszając wartość oporu podłączonego do drugiego wyjścia AM-10 zwiększamy wymaganą, minimalną krotność mierzonych eventów.

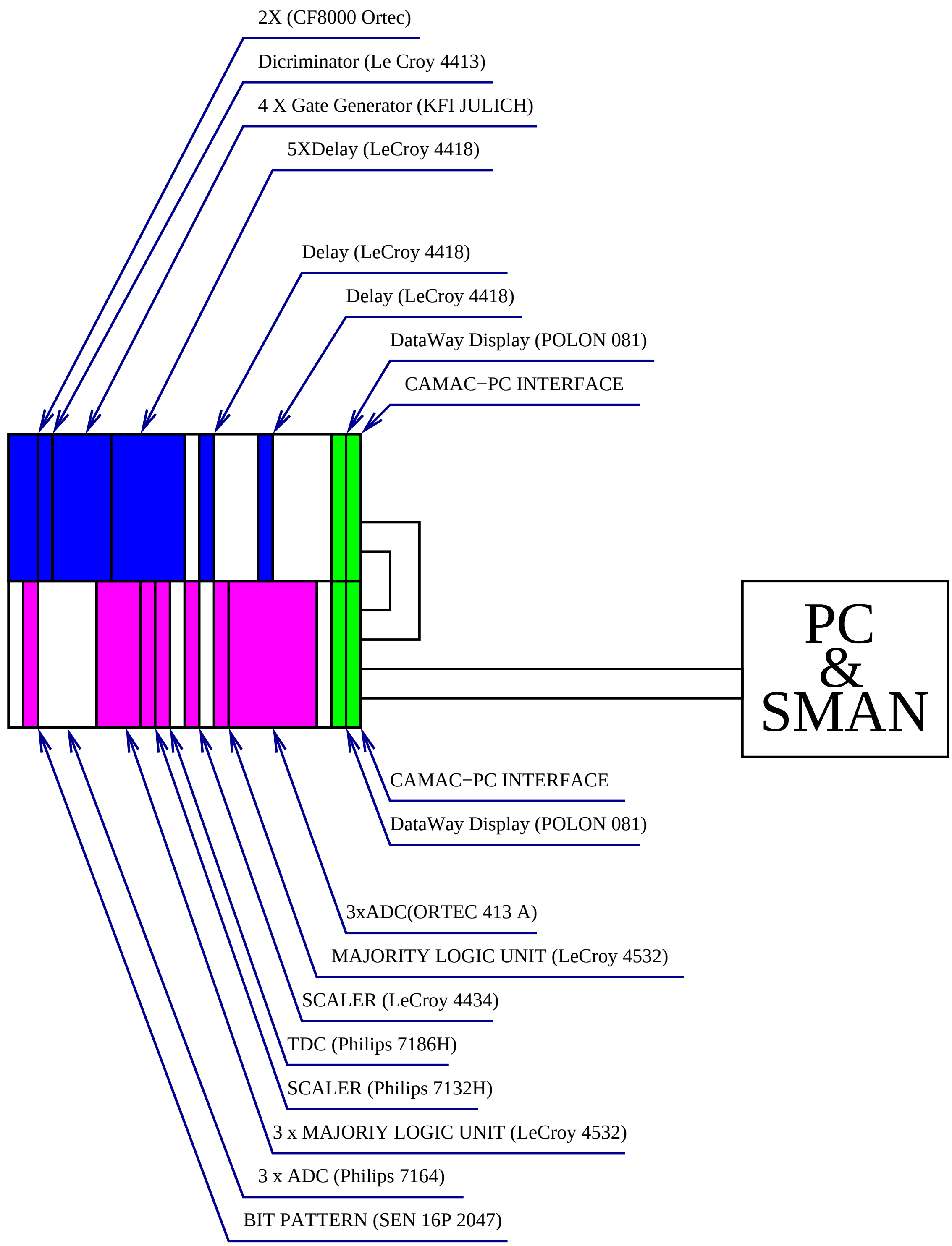
3.5.2 Reset zewnętrzny.

Częstotliwość sygnału generowanego przez reset zewnętrzny można ustawić. Na wejście EXT CLOCK GENERATOR (B2-12) podawany jest co mikrosekundę impuls z zegara INT CLOCK GENERATOR (B2-13). Jeżeli na wejściu INHIBIT modułu EXT CLOCK GENERATOR był stan "0" (A więc nie było blokady) na wyjściu 1s pojawia się impuls co jedną sekundę uruchamiający reset układu. Moduł ten posiada możliwość zmiany częstotliwości generowanego na wyjściu sygnału.

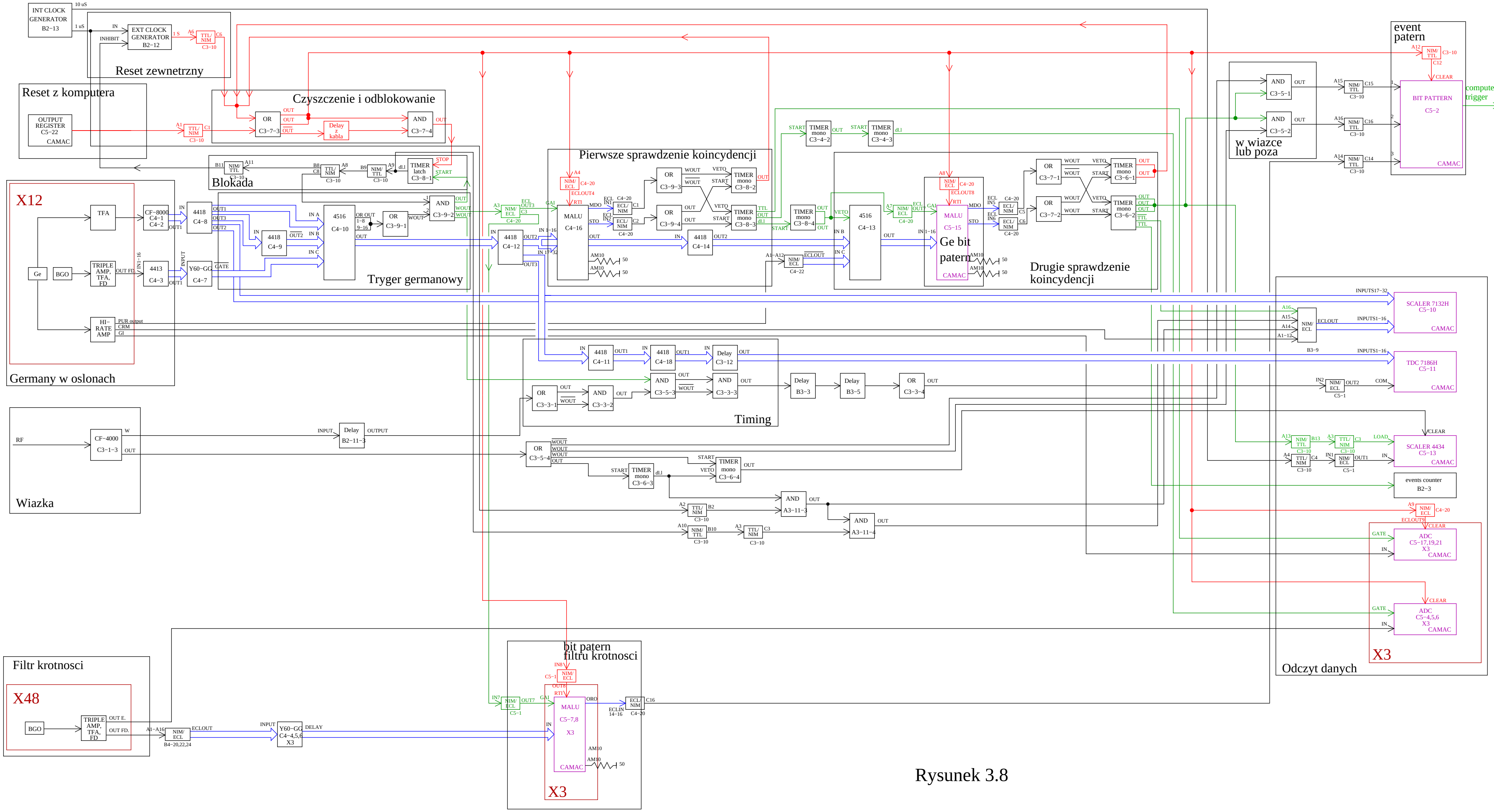
3.6 System akwizycji danych.

Dane eksperymentalne odczytywane są jedynie z modułów umieszczonych w kasecie C5 zaś w kasecie C4 znajdują się moduły programowalne. Kaseta C5 jest połączona z komputerem poprzez interfejs autorstwa Macieja Kisielińskiego. Rysunek 3.7 przedstawia rozmieszczenie modułów w kasetach C4 i C5.

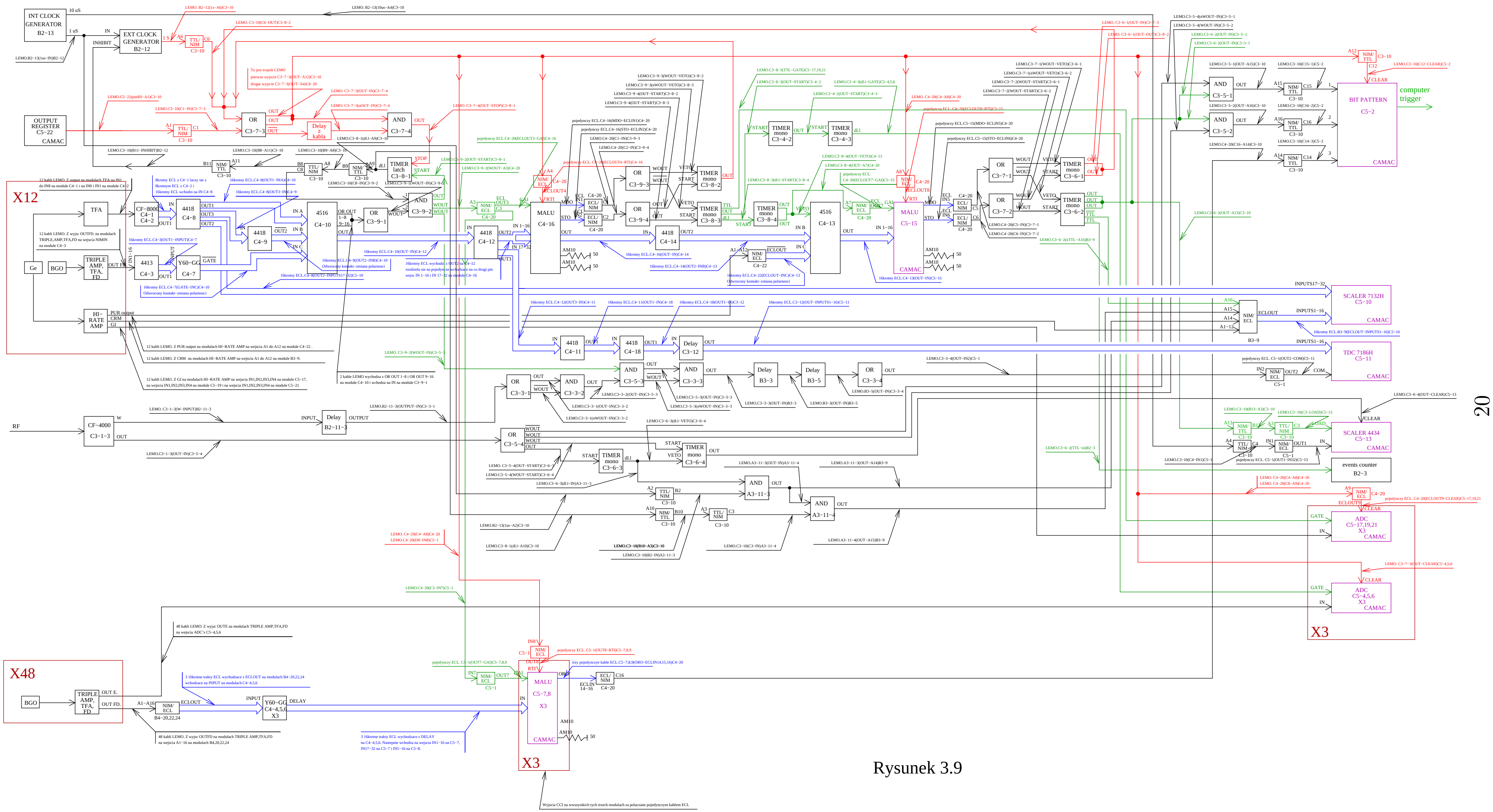
Do analizy danych 'on-line' jak i 'off-line' używany jest program SMAN. Odczyt danych z modułów oraz ich programowanie odbywa się zgodnie z definicją programu SMAN.



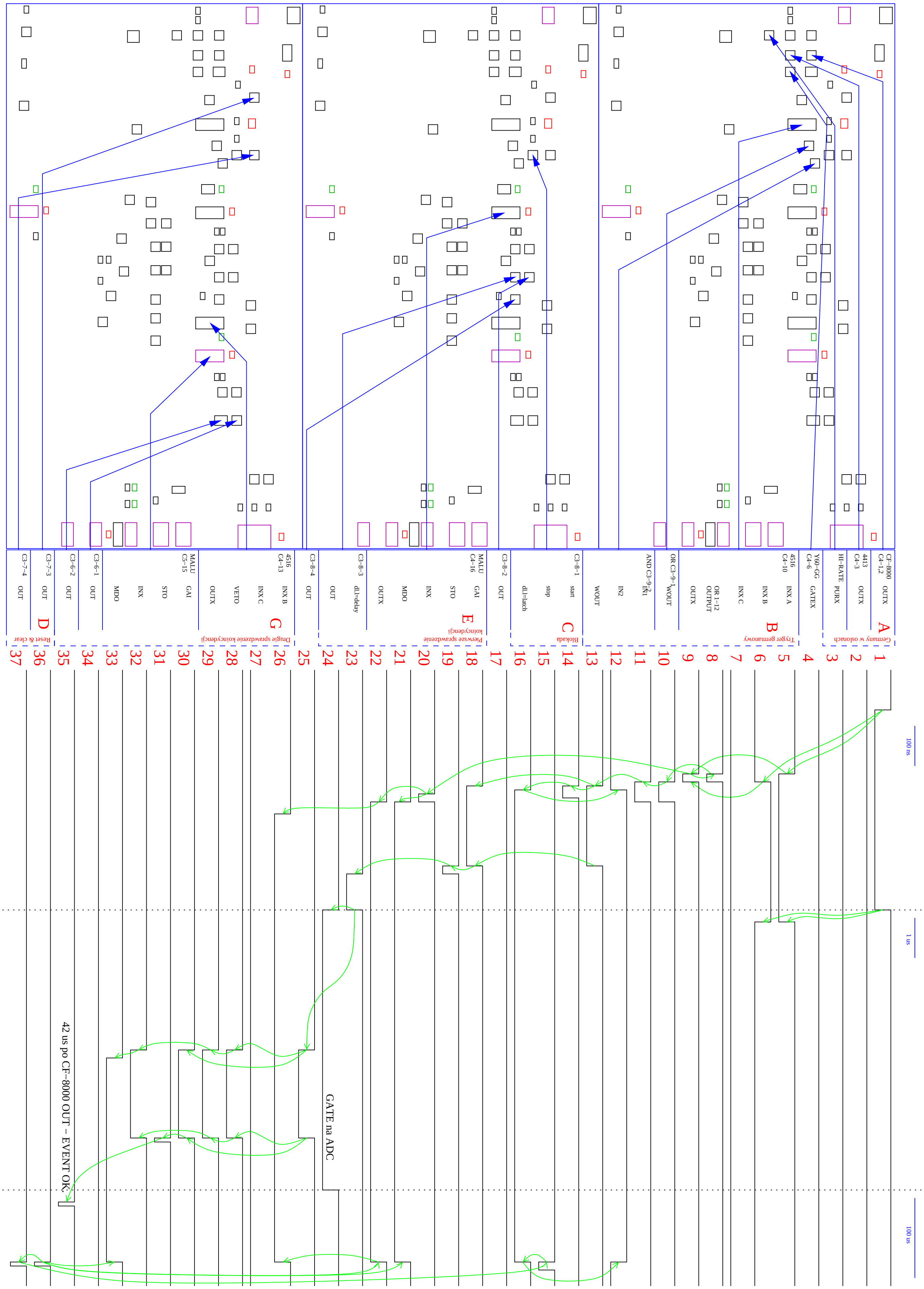
Rysunek 3.7: Kasety C4 (góra) i C5 (dół) wraz z opisanymi modułami. Schematyczne przedstawione jest połączenie kasety z komputerem poprzez interfejs CAMAC-PC. Zielonym kolorem oznaczone są moduły monitorujące i kontrolujące przekaz danych, fioletowym moduły z których czytane są dane, zaś niebieskim moduły programowalne.


INT CLOCK GENERATOR B2-13
EXT CLOCK GENERATOR B2-12
Reset zewnetrzny
Reset z komputera
OUTPUT REGISTER C5-22 CAMAC
Czyszczenie i odblokowanie
Blokada
X12
TFA
CF-8000 C4-1 C4-2
Ge
BGO
TRIPLE AMP, TFA, FD
HI-RATE AMP
Germany w oslonach
Tryger germanowy
Pierwsze sprawdzenie koincydencji
MALU C4-16
Ge bit patern
MALU C5-15 CAMAC
Drugie sprawdzenie koincydencji
w wiazce lub poza
event patern
BIT PATTERN C5-2 CAMAC
computer trigger
Timing
SCALER 7132H C5-10 CAMAC
TDC 7186H C5-11 CAMAC
SCALER 4434 C5-13 CAMAC
events counter B2-3
ADC C5-17,19,21 X3 CAMAC
ADC C5-4,5,6 X3 CAMAC
X3
Odczyt danych
RF
CF-4000 C3-1-3
Wiazka
Filtr krotnosci
X48
bit patern filtru krotnosci
MALU C5-7,8 X3 CAMAC
X3

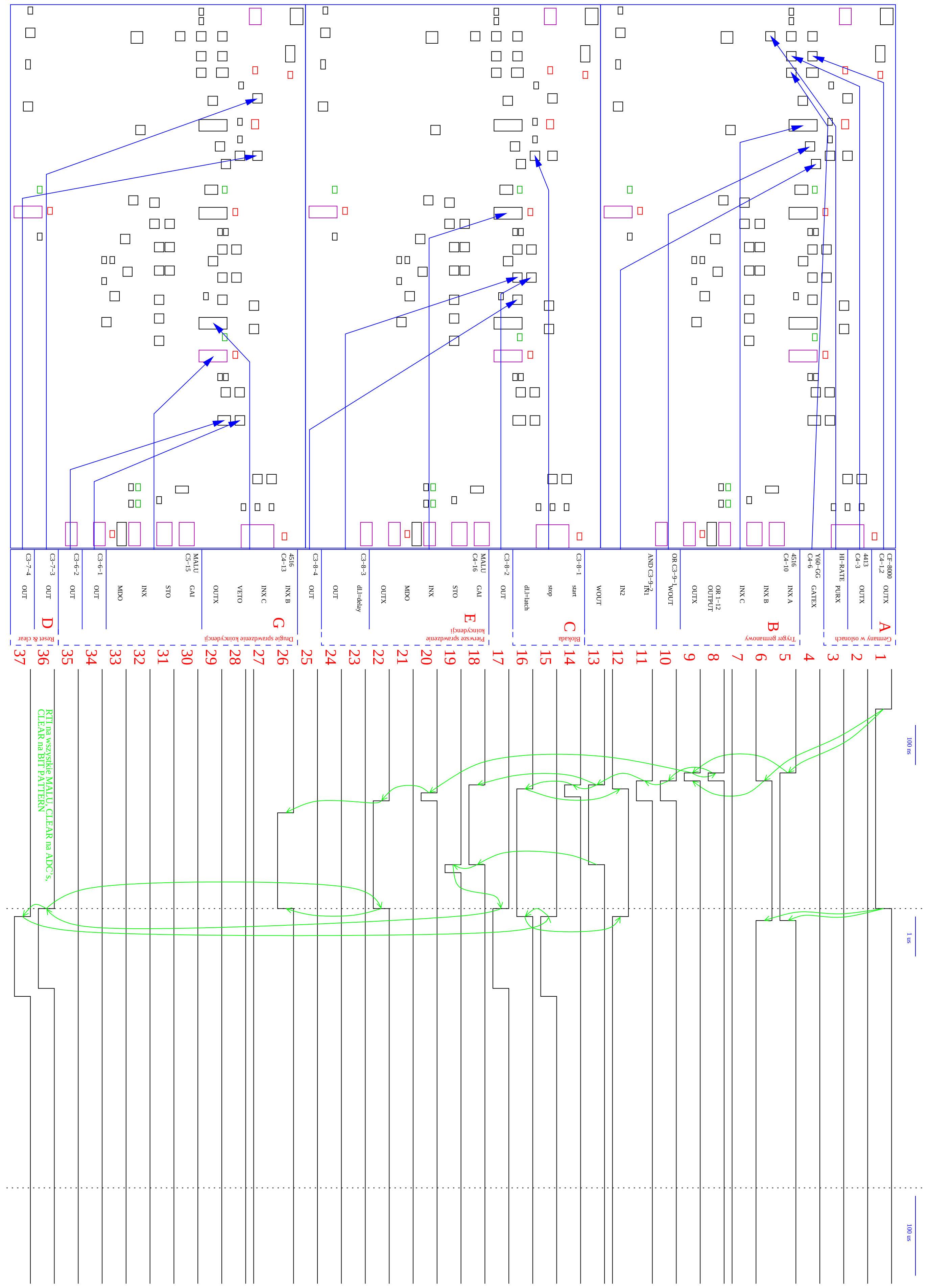
Rysunek 3.8


INT CLOCK GENERATOR B2−13
EXT CLOCK GENERATOR B2−12
OUTPUT REGISTER C5−22 CAMAC
X12
TFA
Ge
BGO
TRIPLE AMP, TFA, FD
HI−RATE AMP
CF−4000 C3−1−3
RF
X48
X3
MALU C4−16
MALU C5−15
MALU C5−7,8 X3
BIT PATTERN C5−2
computer trigger
SCALER 7132H C5−10
TDC 7186H C5−11
SCALER 4434 C5−13
events counter B2−3
ADC C5−17,19,21 X3 CAMAC
ADC C5−4,5,6 X3 CAMAC
Y60−GG C4−5,6 X3

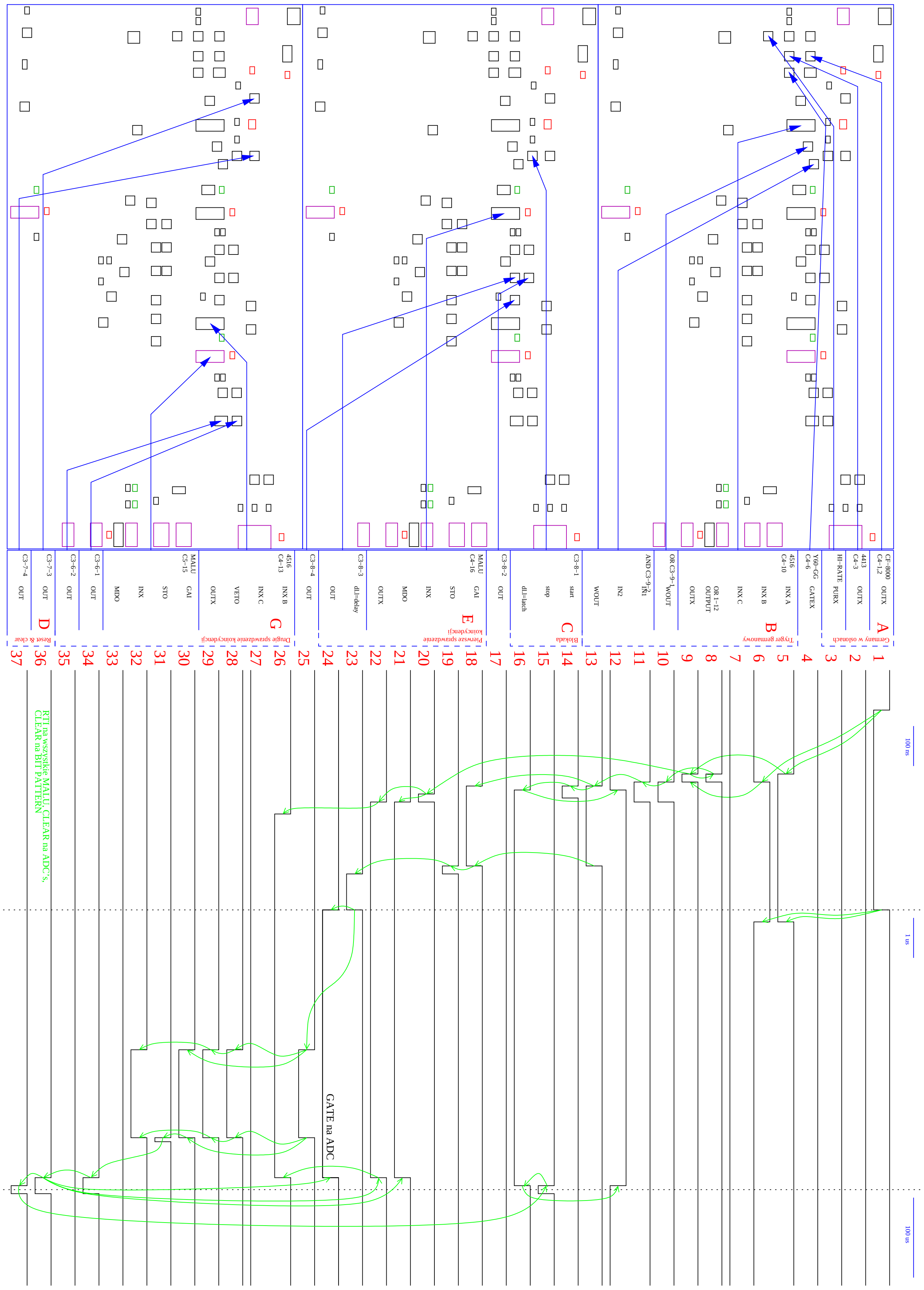
Rysunek 3.9



Rysunek 3.10: Przebiegi opisujące akceptację eventu. Rysunek wykonany jest w trzech, różnych skalach czasowych. Obok zamieszczony jest kontur schematu. Oznaczenia wejść i wyjść wykonane czarną czcionką są identyczne jak na schematach. Oznaczenia czerwoną czcionką dotyczą opisu zamieszczonego w rozdziale 2.



Rysunek 3.11: Przebiegi związane z odrzuceniem eventu bowiem niewystarczająca ilość detektorów germanowych zadziałała w antykoincydencji z osłonami antykomptonowskimi. Rysunek wykonany jest w trzech, różnych skalach czasowych. Obok zamieszczony jest kontur schematu. Oznaczenia wejść i wyjść wykonane czarną czcionką są identyczne jak na schematach. Oznaczenia czerwoną czcionką dotyczą opisu zamieszczonego w rozdziale 2.



Rysunek 3.12: Przebiegi związane z odrzuceniem eventu bowiem niewystarczająca ilość detektorów zadziałała bez wystąpienia pile-up'u. Rysunek wykonany jest w trzech, różnych skalach czasowych. Obok zamieszczony jest kontur schematu. Oznaczenia wejść i wyjść wykonane czarną czcionką są identyczne jak na schematach. Oznaczenia czerwoną czcionką dotyczą opisu zamieszczonego w rozdziale 2.